Taktik Haberleşmede Çarpımsız PoT Block-BİLSTM Kanal Denkleştirici

Multiplier-Free PoT Block-BiLSTM Channel Equalizer in Tactical Communications

Enes Mert Aydın
Elektrik Elektronik Mühendisliği
Ankara Yıldırım Beyazıt Üniversitesi
Ankara, Türkiye
23050211025@aybu.edu.tr

Osman Tokluoğlu
Elektrik Elektronik Mühendisliği
Ankara Yıldırım Beyazıt Üniversitesi
Ankara, Türkiye
otokluoglu@aybu.edu.tr

Enver Çavuş
Elektrik Elektronik Mühendisliği
Ankara Yıldırım Beyazıt Üniversitesi
Ankara, Türkiye
ecavus@aybu.edu.tr

***Özetçe*—Bu bildiride, taktik telsiz sistemlerinde Güç Yükselteçleri'nin (PA) doğrusal olmayan bozulmaları ile çok yollu sönümlemenin birleşik etkisini gidermek amacıyla çarpımsız bir Blok Çift Yönlü LSTM (Block-BiLSTM) denkleştirici önerilmektedir. Tüm ağırlıklar 4-bit Güç-İki-Kuvveti (PoT) kümesine kısıtlanarak kayan-nokta çarpımları bit-kaydırma ve toplama işlemlerine dönüştürülmekte; böylece FPGA veya ASIC platformlarında DSP bloğu kullanımı tamamen ortadan kaldırılmaktadır. Düz-Geçişli Tahminci kullanılarak Kuantizasyon Farkındalıklı Eğitim altında eğitilen önerilen PoT Block-BiLSTM; 1,2 eşik değerli PA yumuşak-kırpılma kanalı, 32 gizli birim, dört-tap çok yollu sönümleme ve BPSK modülasyonu altında tüm SNR noktalarında kayan-nokta referans modeli ile eşdeğer başarım sergilemektedir. Ayrıca, xc7z020 kapasitesi üzerindeki 220 DSP48E1 bloğunun tamamını ortadan kaldırmakta, dinamik güç tüketimini 1,041 W'tan 0,195 W'a (5,3 kat azalma) ve toplam güç tüketimini 1,162 W'tan 0,300 W'a indirerek kısıtlı cihazlar için yüksek enerji verimliliği sağlamaktadır.**

***Anahtar Kelimeler*—Taktik Haberleşme, PA Doğrusal Olmayanlığı, Çok Yollu Sönümleme, Blok BiLSTM, Çarpımsız Derin Öğrenme, Güç-İki-Kuvveti Kuantizasyonu, FPGA.**

***Abstract*—In this paper, a multiplier-free Block Bidirectional LSTM (Block-BiLSTM) equalizer is proposed to mitigate the combined effects of Power Amplifier (PA) nonlinearity and multipath fading in tactical radio systems. All weights are constrained to a 4-bit Power-of-Two (PoT) set, converting floating-point multiplications into bit-shift and addition operations, thereby completely eliminating DSP block usage on FPGA or ASIC platforms. Trained under Quantization-Aware Training using the Straight-Through Estimator, the proposed PoT Block-BiLSTM exhibits equivalent performance to the floating-point baseline across all SNR points under a PA soft-clipping channel with a 1.2 threshold, 32 hidden units, four-tap multipath, and BPSK modulation. Furthermore, it completely eliminates all 220 DSP48E1 blocks on the xc7z020 capacity, reducing dynamic power consumption from 1.041 W to 0.195 W (a 5.3x reduction) and total power consumption from 1.162 W to 0.300 W, ensuring high energy efficiency for constrained devices.**

***Keywords*—Tactical Communications, PA Nonlinearity, Multipath Fading, Block BiLSTM, Multiplier-Free Deep Learning, Power-of-Two Quantization, FPGA.**

979-8-3195-1046-4/26/$31.00 ©2026 IEEE

I. GİRİŞ

Savunma uygulamalarında taktik telsizler, doğası gereği ağırlık, hacim ve güç (SWaP) kısıtları altında çalışmaktadır [1]. Menzil artırmak için Güç Yükselteçleri (Power Amplifier - PA) doyuma yakın çalıştırılmakta; bu durum sinyalde genlik kırpılması ve faz bozukluğuna neden olmaktadır [2], [3]. Kentsel ve dağlık ortamlarda çok yollu yayılım bu bozulmaya eklenerek şiddetli Semboller Arası Girişim (ISI) üretmektedir [4].

Taktik haberleşme sistemlerinde bu bozulmalarla mücadele etmek için geleneksel olarak doğrusal denkleştiriciler (Minimum Ortalama Karesel Hata - MMSE, Zero-Forcing), Karar Geri Beslemeli Denkleştiriciler (DFE) ve Maksimum Olabilirlik Dizi Kestirimi (Viterbi) gibi yöntemler yaygın biçimde kullanılmaktadır [4]. Ancak bu algoritmaların taktik sahada kritik kısıtları bulunmaktadır. MMSE gibi doğrusal modeller PA kaynaklı kırpılmaları modelleyemezken, DFE yapısı doğrusal olmayan kanallarda ciddi hata yayılımı (error propagation) probleminden muzdariptir. Uyarlamalı En Küçük Ortalama Kareler (Least Mean Squares - LMS) / Özyineli En Küçük Kareler (Recursive Least Squares - RLS) filtreleri ise hızlı değişen kanallarda yavaş yakınsama veya yüksek matris tersi alma karmaşıklığı sergilemektedir [5]. PA bozulmalarını donanım seviyesinde çözmek için sıklıkla başvurulan Volterra serisi veya hafızalı polinom tabanlı denkleştiriciler ise [6], artan çok yollu kanal hafızası ile birlikte üstel olarak artan bir matematiksel karmaşıklık yarattığından, SWaP kısıtlı Sahada Programlanabilir Kapı Dizisi (Field Programmable Gate Array - FPGA) platformlarında uygulanmaları son derece maliyetlidir.

Derin öğrenme tabanlı denkleştiriciler bu kısıtları aşan güçlü bir alternatif sunmaktadır. Farsad ve Goldsmith [7], tam bağlantılı sinir ağları ve Uzun Kısa Vadeli Bellek (Long Short-Term Memory - LSTM) mimarilerinin Viterbi ve MMSE'ye kıyasla doğrusal olmayan kanallarda üstün Bit Hata Oranı

(Bit Error Rate - BER) performansı sunduğunu göstermiştir. O'Shea ve Hoydis [8] derin öğrenmenin fiziksel katman için potansiyelini kapsamlı biçimde incelemiş; Ye vd. [9] uçtan uca derin öğrenmeyle Dik Frekans Bölmeli Çoğullama (Orthogonal Frequency-Division Multiplexing - OFDM) alıcılarının pilot tabanlı kanaldan bağımsız çalışabildiğini göstermiştir. Daha güncel çalışmalarda ise Çift Yönlü LSTM (Bidirectional LSTM - BiLSTM) tabanlı denkleştiricilerin tek yönlü LSTM'e kıyasla ISI bastırmada üstünlüğü raporlanmıştır [10]. Bununla birlikte bu çalışmaların hiçbiri kayan-nokta çarpıcı yükünü ya da FPGA donanım kaynaklarını ele almamaktadır. Tek yönlü LSTM yalnızca geçmiş bağlamı kullanabilmekte; kayan pencere yaklaşımı ise geciktirilen sembolleri gözden kaçırmaktadır [7].

Sinir ağı ağırlıklarının düşük hassasiyetli formatlara kısıtlanması FPGA uygulamalarında hesaplama verimliliğini artırmak için kapsamlı biçimde araştırılmıştır. Hubara vd. [11] ikili ağırlıklı ağların donanım Sayısal Sinyal İşleme (Digital Signal Processing - DSP) gereksinimini tamamen ortadan kaldırdığını; ancak sınıflandırma doğruluğunu önemli ölçüde düşürdüğünü göstermiştir. Lee vd. [12] logaritmik gösterim temelli Güç-İki-Kuvveti (Power-of-Two - PoT) kuantizasyonunun uniform kuantizasyona kıyasla anlamlı doğruluk kaybı yaratmadan çarpıcıları bit-kaydırıcılarla ikame ettiğini ortaya koymuştur. Li vd. [13] PoT kuantizasyonunu Evrişimli Sinir Ağı (Convolutional Neural Network - CNN) mimarileri için FPGA üzerinde gerçeklemiş; ancak kanal denkleştirme veya PA doğrusal olmayanlığı ele alınmamıştır. Bilgimiz dahilinde, PA doğrusal olmayanlığı ve çok yollu sönümlemenin birleşik etkisini sergileyen kanallar için çift yönlü blok tabanlı tekrarlayan denkleştirmeyi, PoT kuantizasyonu [12] ve Düz-Geçişli Tahminci (Straight-Through Estimator - STE) [14] ile birleştirerek FPGA düzeyinde güç ve kaynak doğrulaması sunan daha önceki bir çalışma bulunmamaktadır.

Bu bildiride üç özgün katkı sunulmaktadır: (i) PA kırpılması ve çok yollu sönümlemenin birleşik etkisini işleyen çarpımsız Block-BiLSTM tasarımı; (ii) çoklu Sinyal-Gürültü Oranı (Signal-to-Noise Ratio - SNR) seviyeleri için Kuantizasyon Farkındalıklı Eğitim (Quantization-Aware Training - QAT) protokolü; (iii) 32-bit Kayan Nokta (Floating-Point 32 - FP32) ile kapsamlı BER ve FPGA donanım/güç karşılaştırması. Bildirinin geri kalanı şu şekilde düzenlenmiştir: Bölüm II sistem modelini, Bölüm III önerilen PoT Block-BiLSTM mimarisini ve eğitim protokolünü, Bölüm IV BER benzetim sonuçlarını, Bölüm V FPGA donanım ve güç analizini, Bölüm VI ise sonuçları sunmaktadır.

II. Sistem Modeli

A. PA Kırpılması Modeli

Taktik telsizlerde PA maksimum çıkış gücüne ulaştığında genlik kırpılması yaşanır. Bu çalışmada yaygın kullanılan *yumuşak kırpılma* modeli benimsenmiştir [3]:

$$f_{\mathrm{PA}}(x) = \begin{cases} x, & |x| \le A_{\mathrm{clip}} \\ A_{\mathrm{clip}}\,\dfrac{x}{|x|}, & |x| > A_{\mathrm{clip}}, \end{cases} \tag{1}$$

burada A_{clip} kırpılma genlik eşiğidir. A_{clip} değeri küçüldükçe PA doğrusal olmayanlığı artar ve klasik doğrusal modeller yetersiz kalır. Bu çalışmada A_{clip}=1,2 kullanılmıştır.

B. Çok Yollu Kanal Modeli ve Teorik Referans

K=4 tap sayısına sahip çok yollu sönümleme kanalı:

$$r_k = \sum_{i=0}^{K-1} h_i\, f_{\mathrm{PA}}(s_{k-i}) + n_k, \tag{2}$$

burada $h_i \sim \mathcal{CN}(0, 1/K)$ bağımsız Rayleigh sönümleme katsayıları, $s_k \in \{-1, +1\}$ İkili Faz Kaydırmalı Anahtarlama (Binary Phase Shift Keying - BPSK) sembolleri ve n_k ise σ^2 varyansıyla Eklenir Beyaz Gauss Gürültüsü (Additive White Gaussian Noise - AWGN) gürültüsüdür; $\sigma^2 = 1/(2\,E_b/N_0)$. PA kırpılması, kanal konvolüsyonundan önce uygulanarak donanım gerçeklemesindeki fiili sinyali doğru biçimde temsil etmektedir. Eğitim ve test sırasında her blok için kanal katsayıları yeniden çekilmekte; model tek bir kanal realizasyonuna değil, tüm sönümleme dağılımına genellemektedir.

Alıcıda herhangi bir eşleşik filtre (MF) ya da öndenkleştirici uygulanmamakta; ham r_k dizisi doğrudan Block-BiLSTM'e beslenmektedir. Referans olarak PA kırpılması olmayan ideal doğrusal kanalda teorik BPSK BER eğrisi:

$$\mathrm{BER}_{\mathrm{ideal}} = \tfrac{1}{2}\,\mathrm{erfc}\!\left(\sqrt{E_b/N_0}\right). \tag{3}$$

Bu eğri, önerilen denkleştiricinin hedeflediği alt sınır olarak grafiklerde gösterilmektedir.

III. Önerilen Yöntem: PoT Block-BiLSTM

A. Mimari

Alınan r_k dizisi N=256 sembolden oluşan bloklar halinde işlenmektedir. İki katmanlı BiLSTM (H=32 gizli birim) bloğu ileri ve geri yönde tarayarak $2H$ boyutlu birleşik gizli durum üretir; çıkış katmanı:

$$\hat{p}_k = \sigma\!\left(\mathbf{W}_o^{(\mathrm{PoT})}\,[\,\overrightarrow{\mathbf{h}}_k;\ \overleftarrow{\mathbf{h}}_k\,] + b_o\right), \quad k = 1, \ldots, N. \tag{4}$$

Blok sınır artefaktlarını bastırmak için her iki uçta g=16 sembollik koruma bölgesi uygulanmaktadır. Mimari Şekil 1'de gösterilmektedir.

B. PoT Kuantizasyon

Tüm ağırlıklar ileri yayılımda şu fonksiyonla $\{0, \pm 2^e\}$ kümesine dönüştürülür:

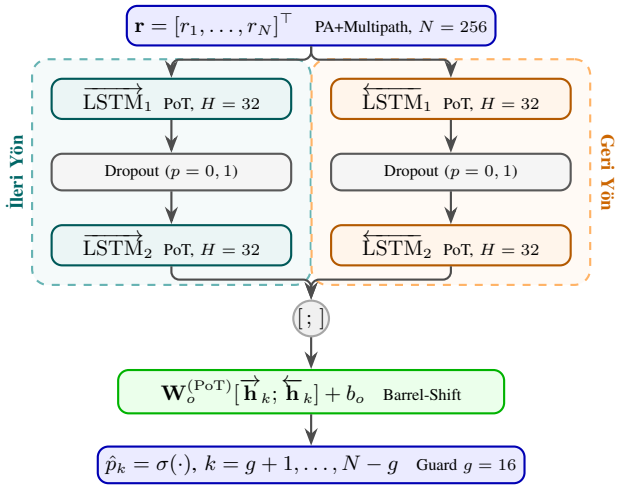
$$Q_{\mathrm{PoT}}(w) = \begin{cases} 0, & |w| < \epsilon_0 \\ \mathrm{sgn}(w)\cdot 2^{e^*}, & \text{aksi hâlde,} \end{cases} \tag{5}$$

burada $e^* = \mathrm{clamp}(\mathrm{round}(\log_2 |w|),\, -(b{-}1),\, 0)$ ve $\epsilon_0 = 2^{-(b-1)}/2$. b=4 bit için $\mathcal{W} = \{0, \pm 1, \pm 0{,}5, \pm 0{,}25, \pm 0{,}125\}$. Donanımda $\pm 2^{-m}$ ile çarpım m bit sağa kaydırmayla gerçeklenmekte, DSP çarpıcılarına ihtiyaç duyulmamaktadır.

C. STE Tabanlı QAT ve Kayıp Fonksiyonu

Q_{PoT} neredeyse her yerde sıfır gradyanlıdır. STE [14] ileri yayılımda kuantize değer kullanırken geri yayılımda gradyanı doğrudan geçirir:

$$\hat{g}_w = \frac{\partial \mathcal{L}}{\partial Q_{\mathrm{PoT}}(w)} \cdot \mathbf{1}\big[|w| \le 1\big]. \tag{6}$$



Şekil 1: PoT Block-BiLSTM veri akış diyagramı. Tüm ağırlıklar $\theta \in \mathcal{W}$ kümesinde olduğundan donanımda DSP bloğu kullanılmamaktadır.

TABLO I: EĞİTİM VE BENZETIM PARAMETRELERİ

Parametre	**Değer**
Modülasyon	BPSK
PA Kırpılma Eşiği (A_{clip})	1,2
Çok Yollu Tap Sayısı (K)	4
Blok uzunluğu (N)	256 sembol
Koruma bölgesi (g)	16 sembol (her uç)
PoT bit genişliği (b)	4 bit
Gizli birim sayısı (H)	32
LSTM katman sayısı	2 (çift yönlü)
Eğitim SNR kümesi	$\{2, 4, 6, 8, 10, 12\}$ dB
Eğitim bloğu (SNR başına)	800 blok
Doğrulama bloğu	200 blok ($\{6, 8, 10\}$ dB)
Test sembolü (SNR başına)	$5{\times}10^5$
Optimizer	Adam (β_1=0,9, β_2=0,999)
Başlangıç / bitiş öğrenme hızı	$3{\times}10^{-3}$ / 10^{-6}
Epoch	60
Gradyan kırpma	$\|\nabla\|_2 \leq 1{,}0$
PoT ceza katsayısı (λ)	10^{-3}

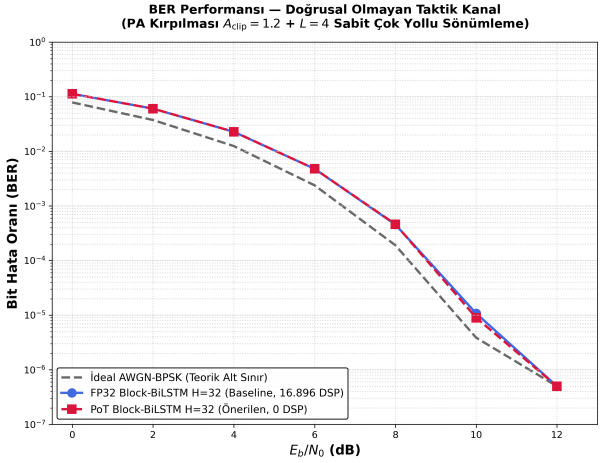
Kayıp fonksiyonu ikili çapraz entropi ile PoT düzenlileştirme cezasının toplamıdır:

$$\mathcal{L} = \text{BCE}(\hat{\mathbf{p}}, \mathbf{b}) + \lambda \sum_{w \in \theta} \max(0, |w| - 1)^2. \qquad (7)$$

λ=10^{-3} ceza katsayısı, ağırlıkların $[-1, 1]$ aralığına çekilmesini teşvik ederek PoT kümesiyle uyumlu tutulmakta; daha büyük λ değerleri BER bozulmasına neden olduğu doğrulanmıştır. Dropout oranı p=0,1, doğrulama kümesinde çapraz doğrulama ile seçilmiştir.

D. Çok-SNR QAT Eğitim Protokolü

Tek SNR'de eğitilen modellerin düşük SNR'de aşırı öğrenme eğiliminde olduğu gözlemlenmiştir. Bu nedenle $\mathcal{S}$=$\{2, 4, 6, 8, 10, 12\}$ dB aralığında altı farklı SNR'den elde edilen veri setleri oluşturulmuş; her epoch'ta karıştırılmıştır. Model Adam optimize edici ve Kosinüs Tavlama öğrenme oranı zamanlaması (başlangıç $3{\times}10^{-3}$, bitiş 10^{-6}) ile 60 epoch eğitilmiştir. Tüm parametreler Tablo I'de özetlenmiştir. Genel olarak, eğitim veri seti tüm SNR koşullarında yaklaşık $1{,}2 \times 10^6$ etiketli sembol içermektedir.



Şekil 2: PA kırpılması (A_{clip}=1,2) ve K=4 tap çok yollu kanalda E_b/N_0'a karşı BER (H=32, 4-bit PoT).

TABLO II: E_b/N_0'A GÖRE BIT HATA OLASILIĞI ($5{\times}10^5$ sembol/SNR; † istatistiksel zemin)

E_b/N_0 (dB)	AWGN Teorik	FP32 BiLSTM (95% GA)	PoT BiLSTM (95% GA)
0	$7{,}9{\times}10^{-2}$	$1{,}13{\times}10^{-1}$ $\pm 4{\times}10^{-4}$	$1{,}13{\times}10^{-1}$ $\pm 4{\times}10^{-4}$
2	$3{,}8{\times}10^{-2}$	$6{,}05{\times}10^{-2}$ $\pm 3{\times}10^{-4}$	$6{,}05{\times}10^{-2}$ $\pm 3{\times}10^{-4}$
4	$1{,}3{\times}10^{-2}$	$2{,}28{\times}10^{-2}$ $\pm 2{\times}10^{-4}$	$2{,}29{\times}10^{-2}$ $\pm 2{\times}10^{-4}$
6	$2{,}4{\times}10^{-3}$	$4{,}79{\times}10^{-3}$ $\pm 3{\times}10^{-5}$	$4{,}79{\times}10^{-3}$ $\pm 3{\times}10^{-5}$
8	$1{,}9{\times}10^{-4}$	$4{,}57{\times}10^{-4}$ $\pm 3{\times}10^{-6}$	$4{,}64{\times}10^{-4}$ $\pm 3{\times}10^{-6}$
10	$3{,}9{\times}10^{-6}$	$1{,}08{\times}10^{-5}$ $\pm 2{\times}10^{-7}$	$\mathbf{8{,}98{\times}10^{-6}}$ $\pm 2{\times}10^{-7}$
12	$5{,}0{\times}10^{-7}$	$\leq 5{\times}10^{-7}$†	$\leq 5{\times}10^{-7}$†

IV. BENZETİM SONUÇLARI VE TARTIŞMA

A. BER Performans Karşılaştırması

Şekil 2'de E_b/N_0'a karşı BER karşılaştırması verilmektedir. Sayısal değerler Tablo II'de özetlenmiştir.

FP32 Block-BiLSTM, tüm parametreleri 32-bit kayan-nokta formatında saklayan referans modeldir. Bu konfigürasyon pratik bir donanım seçeneği olmaktan ziyade, ideal doğruluğu temsil eden **saf matematiksel üst sınır** (theoretical upper bound) olarak kasıtlı biçimde referans alınmıştır. Nitekim xc7z020 kapasitesini aşan bu yapının gerçek bir sistemde uygulanabilmesi için daha büyük bir FPGA veya çok-çip çözümü gerekeceği Bölüm V'de tartışılmaktadır. Çift yönlü blok işleme sayesinde model, PA kırpılmasından kaynaklanan doğrusal olmayan bozulma ile çok yollu yayılımdan kaynaklanan gecikmeli bileşenleri birlikte öğrenebilmektedir.

PoT Block-BiLSTM, 4-bit ağırlık kuantizasyonuna karşın tüm test SNR noktalarında FP32 ile eşdeğer performans sergilemektedir (Tablo II). Özellikle 10 dB noktasında PoT modelinin FP32 referansının yaklaşık %17 altında kalarak hafif bir iyileşme göstermesi, ağırlık ayrıklaştırmasının (weight discretization) tekrarlayan ağlarda aşırı öğrenmeyi (overfitting) baskılayan örtük bir düzenlileştirici (implicit regularization) olarak çalıştığını işaret etmektedir. Her iki model de 12 dB'de benzetim zeminine inerek teorik AWGN alt sınırına yakınsamaktadır.

TABLO III: FPGA DONANIM KARŞILAŞTIRMASI (H=32, 2 Katman, Vivado v.2023.2 OOC, xc7z020clg400-1; *100 MHz, %12,5 toggle, p=0,5 aktivitesi, Güven: Yüksek)

Metrik	FP32	PoT	Azalma
DSP48E1	220 (%100)	**0**	220×
Slice LUT	65.703 (%123,5)	7.237 (%13,6)	≈9×
Slice Register (FF)	16.416 (%15,4)	16.416 (%15,4)	1×
CARRY4	25.124	784	≈32×
Dinamik Güç*	1,041 W	**0,195 W**	≈5,3×
DSP48E1*	0,209 W	**0 W**	∞
LUT Mantık*	0,282 W	0,030 W	≈9,4×
Sinyaller*	0,357 W	0,061 W	≈5,9×
Toplam (statik dahil)*	1,162 W	**0,300 W**	≈3,9×
Ağırlık Hassasiyeti	FP32 (32 bit)	PoT (4 bit)	8×

İstatistiksel not: 95% güven aralıkları Wilson yöntemiyle hesaplanmıştır ($\pm z_{0.975}\sqrt{p(1-p)/N_s}$, N_s=5×10^5). † satırlar istatistiksel zemin bölgesini ($N_s\hat{p} < 100$ hata koşulu) göstermekte olup bu SNR değerlerinde raporlanan BER'ler yalnızca üst sınır niteliği taşımaktadır. Güvenilir 12 dB ölçümü için ≈2×10^8 sembol simülasyonu gerekmekte; bu durum gelecek çalışma olarak planlanmaktadır.

V. FPGA DONANIM VE GÜÇ VERİMLİLİĞİ ANALİZİ

BiLSTM mimarisinde her bir hücrenin giriş (W_{ih}) ve gizli durum (W_{hh}) ağırlıkları sırasıyla H ve H^2 boyutundadır. İki yön, iki katman ve dört LSTM kapısı (giriş, unutma, hücre, çıkış) hesaba katıldığında toplam çarpıcı sayısı:

$$N_{\text{mult}} = 2 \times 2 \times 4 \times (H + H^2) = 16.896. \tag{8}$$

Vivado v.2023.2 OOC sentezi FP32 modülü için 220 DSP48E1 primitifi kullandığını doğrulamaktadır; bu değer xc7z020'nin %100'üne karşılık gelmektedir. PoT-BiLSTM'de tüm bu bloklar barrel-kaydırıcı ve toplayıcı ağaçlarıyla ikame edilmektedir.

Tablo III'teki sentez sonuçları, PoT mimarisinin donanım verimliliğini kanıtlamaktadır. Kapasiteyi aşan FP32 referansına kıyasla, DSP bloklarının barrel-kaydırıcılarla ikame edilmesi kombinasyonel kaynak (LUT) ihtiyacını ≈9×, CARRY4 zincirlerini ise ≈32× azaltmıştır. FF sayısının sabit kalması, ağırlık hassasiyetinin pipeline derinliğini etkilememesinin doğal bir sonucudur. FP32'de 4,00 olan LUT/FF oranının PoT modelinde 0,44'e inmesi, çarpıcıların alan üzerindeki baskınlığının tamamen kırıldığını göstermektedir.

Vivado güç analizi (100 MHz, %12,5 aktivite), dinamik güç tüketiminde elde edilen 5,3× tasarrufun temelinde sıfırlanan DSP bloğu harcaması ve büyük ölçüde hafifleyen sinyal yönlendirme (routing) yükünün yattığını doğrulamaktadır. Mevcut sentezde ağırlıklar doğrudan flip-flop'lara haritalanmıştır (BRAM kullanımı sıfırdır); ancak ROM tabanlı bir donanım gerçeklemesinde 4-bit PoT formatı, FP32'ye kıyasla ağırlık depolama alanını 8× küçültecektir.

VI. SONUÇ

Bu çalışmada taktik haberleşme kanallarındaki PA doğrusal olmayanlığı ve çok yollu sönümlemenin birleşik etkisine karşı çarpımsız PoT Block-BiLSTM denkleştirici önerilmiştir. 4-bit PoT kuantizasyonu ve STE tabanlı QAT ile xc7z020 üzerindeki 220 DSP48E1 bloğunun tamamı barrel-kaydırma operasyonlarıyla ikame edilmiş; Slice LUT tüketimi ≈9× azaltılmıştır. Önerilen PoT mimarisi, FP32 modelinde görülen yüksek donanım ve anahtarlama yükünü ortadan kaldırarak dinamik güç tüketimini 1,041 W'tan 0,195 W'a (5,3× azalma), toplam güç tüketimini ise 1,162 W'tan 0,300 W'a indirerek SWaP kısıtlı cihazlar için kritik bir avantaj sağlamıştır. PoT Block-BiLSTM, elde edilen tüm bu donanım kazanımlarına rağmen FP32 referans modeli ile eşdeğer kanal başarımı sergilemektedir.

Gelecek çalışmalar kapsamında; SDR destekli donanım-içinde-döngü (hardware-in-the-loop) test ortamıyla gerçek zamanlı havadan doğrulamaların yapılması, yüksek PAPR'a sahip karmaşık QAM şemalarının PA kırpılma dinamiklerine etkisinin incelenmesi ve hareketli taktik platformlardaki yüksek Doppler kaymalarına (fast-fading) karşı ağın adaptasyon yeteneğinin analiz edilmesi hedeflenmektedir.

KAYNAKLAR

[1] K.-P. Hui, D. Phillips, and A. Kekirigoda, "Unveiling MIMO potential: A prototype for enhanced tactical communications with interference suppression," in *Proc. IEEE Mil. Commun. Conf. (MILCOM)*, Washington, DC, USA, Oct. 2024, pp. 1–6, doi: 10.1109/MILCOM61039.2024.10773940.

[2] C. Rapp, "Effects of HPA-nonlinearity on a 4-DPSK/OFDM-signal for a digital sound broadcasting system," in *Proc. 2nd Eur. Conf. Satellite Commun. (ECSC)*, Liège, Belgium, Oct. 1991, pp. 179–184.

[3] H. Ochiai and H. Imai, "Performance analysis of deliberately clipped OFDM signals," *IEEE Trans. Commun.*, vol. 50, no. 1, pp. 89–101, Jan. 2002, doi: 10.1109/26.975762.

[4] J. G. Proakis and M. Salehi, *Digital Communications*, 5th ed. New York, NY, USA: McGraw-Hill, 2008.

[5] S. Haykin, *Adaptive Filter Theory*, 4th ed. Upper Saddle River, NJ, USA: Prentice Hall, 2002.

[6] D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt, and J. Pastalan, "A generalized memory polynomial model for digital predistortion of RF power amplifiers," *IEEE Trans. Signal Process.*, vol. 54, no. 10, pp. 3852–3860, Oct. 2006, doi: 10.1109/TSP.2006.879264.

[7] N. Farsad and A. Goldsmith, "Neural network detection of data sequences in communication systems," *IEEE Trans. Signal Process.*, vol. 66, no. 21, pp. 5663–5678, Nov. 2018, doi: 10.1109/TSP.2018.2868322.

[8] T. O'Shea and J. Hoydis, "An introduction to deep learning for the physical layer," *IEEE Trans. Cogn. Commun. Netw.*, vol. 3, no. 4, pp. 563–575, Dec. 2017, doi: 10.1109/TCCN.2017.2758370.

[9] H. Ye, G. Y. Li, and B.-H. Juang, "Power of deep learning for channel estimation and signal detection in OFDM systems," *IEEE Wireless Commun. Lett.*, vol. 7, no. 1, pp. 114–117, Feb. 2018, doi: 10.1109/LWC.2017.2757490.

[10] M. Mohamed, H. Hassan, M. H. E. Ali, H. Esmaiel, and A. Mubarak, "Modified gate activation functions of Bi-LSTM-based SC-FDMA channel equalization," *J. Electr. Eng.*, vol. 74, no. 4, pp. 256–266, 2023, doi: 10.2478/jee-2023-0032.

[11] I. Hubara, M. Courbariaux, D. Soudry, R. El-Yaniv, and Y. Bengio, "Quantized neural networks: Training neural networks with low precision weights and activations," *J. Mach. Learn. Res.*, vol. 18, no. 187, pp. 1–30, 2017.

[12] E. H. Lee, D. Miyashita, E. Chai, B. Murmann, and S. S. Wong, "LogNet: Energy-efficient neural networks using logarithmic computation," in *Proc. IEEE Int. Conf. Acoust., Speech Signal Process. (ICASSP)*, New Orleans, LA, USA, Mar. 2017, pp. 5900–5904, doi: 10.1109/ICASSP.2017.7953288.

[13] X. Sui, Q. Lv, Y. Bai, B. Zhu, L. Zhi, Y. Yang, and Z. Tan, "A hardware-friendly low-bit power-of-two quantization method for CNNs and its FPGA implementation," *Sensors*, vol. 22, no. 17, p. 6618, Aug. 2022, doi: 10.3390/s22176618.

[14] Y. Bengio, N. Léonard, and A. Courville, "Estimating or propagating gradients through stochastic neurons for conditional computation," *arXiv preprint arXiv:1305.2982*, 2013, doi: 10.48550/arXiv.1305.2982.